Лабораторная работа №7

ТЕМА: контроллер прямого доступа к памяти КР580ВТ57 / 37

ЦЕЛЬ: научиться программировать контроллер прямого доступа к памяти

**теоретические сведения**

Контроллер прямого доступа к памяти (ПДП, DMA - Direct Memory Access) обеспечивает высокоскоростной обмен данными между устройствами ввода-вывода и ОЗУ без использования центрального процессора, позволяет освободить процессор для выполнения вычислений параллельно с обменом и независимо от него. Наиболее часто возможности ПДП используются при работе с дисковыми накопителями, однако реализовано использование ПДП рядом других устройств. Ощутимые преимущества дает использование ПДП в процессе обмена с устройствами, принимающими или передают данные достаточно большими порциями с высокой скоростью.

**Принципы работы контроллера ПДП**

В работе ПДП различаются 2 главных цикла: цикл ожидания (Idle cycle) и активный цикл (Active cycle). Каждый цикл подразделяется на ряд состояний, занимающих по времени один период часов (тик). Из цикла ожидания контроллер может быть переведен в состояние программирования (Program Condition) путем подачи на вход RESET сигнала высокого уровня, продолжительностью не менее 300 нс и следующей за ним подачи сигнала низкого уровня (уровня 0) на вывод CS (Chip Select). В состоянии программирования контроллер будет находится до тех пор, пока на выводе CS сохранится сигнал низкого уровня. В процессе программирования контроллеру задаются:

начальный адрес памяти для обмена;

уменьшенное на единицу число передаваемых байтов;

направление обмена,

а также устанавливаются необходимые режимы работы (разрешить или запретить циклическое изменение приоритетов, автоинициализацию, задать направление изменения адреса при обмене и т.д.).

Загрузка 16-разрядных регистров контроллера осуществляется через 8-разрядные порты ввода-вывода. Перед загрузкой первого (младшего) байта должен быть сброшен (очищенный) триггер-защелка (триггер первый / последний, First / Last flip-flop), что изменяет свое состояние после вывода в порт первого байта и таким образом дает возможность следующей командой вывода в тот же порт загрузить старший байт соответствующего регистра.

Запрограммированый канал должен быть демаскований (бит маски канала устанавливается при этом в 0), после чего он может принимать сигналы «Запрос на ПДП», генерируемые тем внешним устройством, обслуживается через этот канал. Сигнал «Запрос на ПДП» может быть также инициирован установкой в ​​1 бита запроса данного канала в регистре запросов контроллера. После появления сигнала запроса контроллер входит в активный цикл, в котором происходит обмен данными. Обмен может осуществляется в одном из четырех режимов:

1. Режим одиночной передачи (Single Transfer Mode).

После каждого цикла передачи контроллер освобождает шину процессору, но сразу же начинает проверку сигналов запроса и, как только обнаруживает активный сигнал запроса, инициирует следующий цикл передачи.

2. Режим блочной передачи (Block Transfer Mode).

В этом режиме наличие сигнала запроса требуется только до момента выдачи контроллером сигнала «Подтверждение запроса на ПДП» (DACK), после чего шина не освобождается до завершения передачи всего блока.

3. Режим передачи по требованию (Demand Transfer Mode).

Данный режим является промежуточным между двумя первыми: передача идет непрерывно до тех пор, пока активно сигнал запроса, состояние которого проверяется после каждого цикла передачи. Как только устройство может продолжить передачу, сигнал запроса сбрасывается им и контроллер прекращает работу. Этот режим применяется для обмена с медленными устройствами, не позволяют по своим временным характеристикам работать с ПДП в режиме блочной передачи.

4. Каскадный режим (Cascade Mode).

Режим позволяет включить в подсистему ПДП более одного контроллера в тех случаях, когда недостаточно четырех каналов ПДП. В этом режиме один из каналов ведущего контроллера используется для каскадирования с контроллером второго уровня. Для работы в каскаде сигнал HRQ ( «Запрос на захват") ведомого контроллера подается на вход DREG ( «Запрос на канал ПДП») ведущего, а сигнал DACK ( «Подтверждение запроса») ведущего подается на вход HDLA ( «Питвердження захвата») известного .

Такая схема подключения аналогична подключению ведущих (первого) контроллера к микропроцессору, с которым он обменивается сигналами HRQ и HDLA.

типы передач

1. Передача память-память (Memory-to-memory DMA).

\ Используется для передачи блока данных из одного места памяти в другое. Исходный адрес определяется в регистрах нулевого канала, выходной - в регистрах первого канала. Число циклов обмена (число байт минус 1) задается в регистре числа циклов канала 1. Передача происходит с использованием рабочего регистра контроллера в качестве промежуточного звена для хранения информации. При передаче память-память может быть задан специальный режим фиксации адреса (Address hold), при котором значение текущего адреса в регистре нулевого канала не изменяется, при этом весь выходной блок памяти заполняется тем самым элементом данных, который находится по заданному адресу.

2. Автоинициализация (автозагрузки, Autoinitialization).

После завершения обычной передачи использованный канал ПДП маскируется и должен быть перепрограммирован для дальнейшей работы с ним. При автоинициализациы маскировки канала после окончания передачи не происходит, а регистры текущего адреса и счетчик циклов автоматически загружаются из соответствующих регистров с начальными значениями. Таким образом для продолжения (повторения) обмена достаточно выставить сигнал запроса на ПДП по данному каналу.

3. Режим фиксированных приоритетов.

В этом режиме канал 0 всегда имеет максимальный приоритет, а канал 3 - минимальный. Это означает, что любая передача по каналу с более высоким приоритетом будет выполняться раньше, чем по каналу с более низким приоритетом.

4. Циклический сдвиг приоритетов.

Позволяет избежать «забивания» шины одним каналом при одновременной передаче по нескольким каналам. Каждому каналу, по которому прошла передача, автоматически присваивается низший приоритет, после чего право на передачу получает канал с наивысшим приоритетом, для которого передача в данный момент возможна. Таким образом, если в начале работы распределение приоритетов был обычным (канал 0 - самый высокий), и пришли сигналы запроса на ПДП по 1-му и 2-м каналах, то сначала будет выполняться передача по первому каналу, затем он получит низший приоритет (а канал 2, соответственно, выше, так как сдвиг приоритетов циклический) и передача выполнится по 2-м канале, затем получит низший приоритет, а высший приоритет получит, соответственно, канал 3, который и будет иметь преимущественное право на передачу.

5. Сжатие времени передачи (Compressed transfer timing).

В случае, если временные характеристики быстродействия устройств, обменивающихся совпадают, ПДП может сократить время выполнения каждого такта передачи на 2 цикла часов за счет тактов ожидания, входящих в каждый цикл передачи.

Описание внутренних регистров ПДП

Контроллер имеет 344 бита внутренней памяти, организованной в виде регистров. Описание внутренних регистров ПДП приведены в таблице 6.2.

Регистр начального адреса (Base Address Register).

В этом регистре задается стартовый адрес ОЗУ, с которого начинается передача. Регистр содержит 16 разрядов и определяет адрес внутри заданной страницы памяти размером 64К. Задача номер страницы памяти осуществляется через специальные страничные регистры (Page Registers), поддерживаемые внешней логикой. Каждый канал ПДП имеет свой регистр начального адреса и страничный регистр. Такое распределение памяти на страницы не позволяет осуществить обмен с блоком памяти, находится на пересечении двух страниц. Каждая страница начинается с сегментного адреса, кратного 1000h (0, 1000h, 2000h, ..., 9000h).

Регистр начального счетчика циклов (Base Word Count Register).

В этом регистре задается начальное число циклов передачи для программируемого канала. Фактическое число переданных во время работы ПДП элементов данных на единицу превышает заданное число циклов, то есть если Вы задаете 100 циклов передачи, а размер элемента будет равен 1 байта, то за сеанс обмена будет передан 101 байт информации.

Регистр текущего адреса (Current Address Register).

Начальное значение заносится в этот регистр одновременно с регистром начального адреса. В дальнейшем в ходе передачи значение текущего адреса автоматически увеличивается или уменьшается (конкретное направление изменения задается при программировании в регистре режима). Если разрешено автоинициализация, то после окончания передачи в регистр автоматически устанавливается значение из регистра начального адреса.

Таблица 6.1- Регистры контроллера ПДП

|  |  |  |
| --- | --- | --- |
| Найменування регістра | Розрядність (біт) | Число регістрів |
| Регістр початкової адреси (Base Address Register) | 16 | 4 |
| Регістр початкового лічильника циклів (Base Word Count Register) | 16 | 4 |
| Регістр поточної адреси (Current Address Register) | 16 | 4 |
| Регістр поточного лічильника циклів (Current Word Count Register) | 16 | 4 |
| Робочий регістр адреси (Temporary Address Register) | 16 | 1 |
| Робочий регістр лічильника циклів (Temporary Word Count Register) | 16 | 1 |
| Регістр стану (Status Register) | 8 | 1 |
| Регістр команд (Command Register) | 8 | 1 |
| Регістр режиму (Mode Register) | 6 | 4 |
| Робочий регістр (Temporary Register) | 8 | 1 |
| Регістр масок (Mask Register) | 4 | 1 |
| Регістр запитів (Request Register) | 4 | 1 |

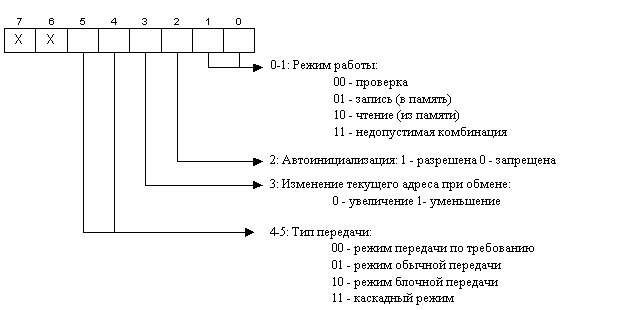
Регистр текущего счетчика циклов (Current Word Count Register).

Регистр содержит текущее значение счетчика циклов (число циклов передачи оставшихся). Отображаемое в нем число циклов всегда на единицу меньше числа еще не переданных элементов данных, так как изменение значения в этом регистре производится в конце цикла передачи, уже после фактической передачи элемента данных, а конец передачи фиксируется в момент переполнения счетчика (изменение его значения с 0 на 0FFFFh).

Регистр режима (Mode Register).

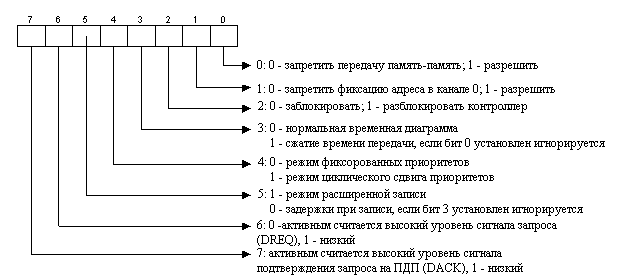
Данный регистр задает режимы работы своего канала контроллера.

Каждый из четырех каналов ПДП имеет свой набор регистров, описанных выше. Кроме того, имеется следующий набор регистров, общих для всех каналов.



Регистр команд (Command Register).

Этот 8-битный регистр управляет работой контроллера. Он программируется, когда контроллер находится в состоянии программирования и очищается командами сброса «Reset» и «Master Clear». Назначение битов регистра команд приведена на рисунке.



Регистр состояния (Status Register).

 Регистр отражает текущее состояние запросов и передач по всем четырем каналам. Биты 0 - 3 устанавливаются в единицу после завершения передачи по каналам 0 - 3 (бит 0 - канал 0, бит 1 - канал 1 и т.д.), если не задан режим автоинициализации. Эти биты очищаются после команды сброса контроллера и после каждой операции считывания состояния из регистра состояния. Биты 4 - 7 указывают по какому из каналов 0 - 3 активен в текущий момент сигнал запроса на ПДП.

Регистр масок (Mask Register).

Каждый бит этого 4-битового регистра маскирует / демаскирует свой канал ПДП, при этом значение 1 маскирует канал, значение 0 демаскирует канал и позволяет прием сигнала запроса по этому каналу.

Регистр запросов (Request Register).

Сигнал запроса на ПДП (DREQ) может быть выдан устройством, как обслуживается, так и программно. Для программного издания сигнала запроса по одному из 4-х каналов ПДП необходимо установить соответствующий бит в 4-разрядном регистре запросов. Запрос на ПДП может быть отменен записью нулевого значения в соответствующий бит регистра. Бит запроса очищается автоматически при окончании передачи по данному каналу. Все биты запросов очищаются при сбросе контроллера. Для того, чтобы воспринимать программные запросы на ПДП, канал должен находится

в режиме блочной передачи.

Рабочий регистр (Temporary Register).

Этот 8-разрядный регистр используется для сохранения элемента данных, передаваемого в режиме фиксированного адреса при передаче память-память или для временного хранения передаваемого байта при всех остальных режимах передачи.

**Каналы прямого доступа к памяти и прямое управление шиной**

Прямой доступ к памяти был использован еще в PC / XT, где для этого применялась микросхема четырехканального контроллера 8237А.

Из четырех каналов DMA XT на шине ISA доступны только три (1, 2 и 3). Канал 0 используется для регенерации динамической памяти, и от него на шину ISA выводится только сигнал подтверждения DACKO #, он же REFRESH #. Этот сигнал может использоваться для регенерации динамической памяти, если таковая используется на платах адаптера. Адрес регенеруемого строки берется из линий адреса шины ISA. Каналы 1, 2 и 3 обеспечивают побайтно передачу данных и называются 8-битными каналами DMA.

В архитектуре AT подсистему DMA расширили, добавив второй контроллер 8237А. Его подключили к шине адреса со смещением на 1 бит, и его 16-битные регистры адреса способны управлять линиями адреса А [1б: 1], младший бит адреса АО всегда нулевой. Таким образом, второй контроллер может обеспечивать передачу данных только пословно (по два байта), за что его каналы и названы 16-битными. За один сеанс второй контроллер способен передать массив в 64К 16-разрядных слов. Регистры страниц для всех каналов DMA в AT расширены до 8 бит, что делает доступной для любого канала область памяти размером 16 Мбайт (0-FFFFFFh). Эффект «свертывания» сегментов в каналах прямого доступа сохраняется, только для каналов 5, 6 и 7 эти «кольца» имеют размер 64К слов и границы, кратные 20000h. Микросхемы контроллеров 8237А включены каскадно, и канал номер 4 недоступен - через него подключается первый контроллер. Стандартное назначение каналов приведено в табл. 3.

Помимо увеличения числа каналов в AT ввели дополнительную возможность управления шиной ISA - Bus-Mastering - со стороны адаптера. Это внешнее управление шиной опирается на контроллер DMA, выполняющий в данном случае функции арбитра шины. Для получения управления шиной внешний Bus-Master посылает запрос по линии DRQx (только для каналов 5-7) и, получив подтверждение DACKx, устанавливает сигнал MASTERS Теперь шиной ISA управляет он, но формально он не имеет права занимать шину больше чем на 15 мкс за сеанс. В противном случае нарушится регенерация памяти (позже собьется системное время, но при нарушении регенерации эти «мелочи» уже не важны). Интеллектуальный контроллер может выполнять более эффективные процедуры обмена, чем стандартный DMA, например:

Scatter Write - «разбросана» запись в несколько блоков памяти.

Gather Read - чтение со сбором данных из нескольких блоков памяти.

Обмен нечетным количеством байт и (или) с нечетной адреса по 16-битном канале.

Управление шиной используют высокопроизводительные адаптеры SCSI и локальных сетей, а также интеллектуальные графические адаптеры. Однако архитектурой шины доступное им пространство памяти ограничен областью 16 Мбайт, что по нынешним меркам маловато. «Заботливые» операционные системы (например, Novell NetWare) для таких адаптеров позволяют под буферы резервировать область в пределах младше 16 Мбайт.

Ограничения на доступную память для «чистого» режима DMA в новых машинах могут быть сняты применением расширенных регистров страниц, но о этих не совсем обычных возможностях, конечно же, должно «знать» и программное обеспечение.

В машинах с архитектурой МСА для DMA используется специальный контроллер, программно-совместимый с контроллером AT, но имеет и дополнительной возможности конфигурирования (регистры 0018, 001А). Все каналы могут работать в 8- и 16-битном режиме, их запросы ссылаются общем арбитру канала. Доступные 8 каналов, частота работы 10 МГц.

На шине EISA DMA-каналы могут работать в 8-, 16- и 32-битном режиме, они могут использовать все 32 разряда шины адреса - иметь доступ ко всей памяти компьютера. Каждый канал может программироваться на 1 из 4 типов цикла передачи:

Compatible - вполне совместим с ISA.

Type A - сокращен на 25% цикл: время одиночного цикла 875 нс, в блочном режиме время цикла 750 нс. Работает почти со всеми ISA-адаптерами с большей скоростью.

Type У - укороченный на 50% цикл (750/500 нс на цикл), работает с большинством EISA-адаптеров и некоторыми ISA. Этот тип цикла возможен только с памятью, непосредственно доступной контроллеру шины EISA (памятью на адаптерах EISA, а также системной в случае, если EISA является основной шиной системной платы). Если декодирована адрес памяти относится к 8/16-битной памяти ISA, то контроллер DMA EISA автоматически переводится в режим Compatible.

Type C (Burst Timing) - сокращен на 87,5% цикл, ориентированный на пакетный режим передач. Работает со скоростными EISA-адаптерами и при обмене 32-битных устройств с 32-битной памятью позволяет развивать скорость обмена до 33 Мбайт / с.

EISA DMA имеет специальные режимы: Buffered Chaining (сцепка буферов), Scatter Write, Gather Read.

В PCI-системах для обмена с устройствами системной платы (Fast ATA-2 или E-IDE-порта) возможно использование DMA Type F, при котором между соседними циклами интервал может превышать 3 тактов шины (360 нс). Для разгрузки системной шины используется дополнительный 4-байтный буфер. Режим F может работать только в режиме одиночной передачи или по запросу и только с инкрементом (увеличением) адреса. На самой шине PCI адаптеры могут использовать режим прямого управления шиной, для чего имеется специальный протокол арбитража, к контроллерам DMA отношения уже не имеет.

 Блок схема КПДП

Упрощенная структурная схема КПДП приведена на рисунке 6.1.

В состав БИС входят: двунаправленный двостабильний буфер данных (ВД), предназначенная для обмена информацией между МП и КПДП; схема

управления чтением / записью (RWCU), что адресует внутренние регистры КПДП и руководит обменом по шине D (7-0) блок управления (CU), содержащий регистры режима и состояния КПДП и обеспечивающий последовательность операций, необходимую для организации режима прямого доступа к памяти; блок управления приоритетами (PCU), что обеспечивает определенный порядок обслуживания запросов внешних устройств; четыре канала прямого доступа (CH0-CH3), каждый из которых содержит регистр адреса ячейки памяти, с которым производится обмен, и счетчик циклов обмена, два старших разряда которого отведены для задания операции обмена.

 Назначение входных, выходных и управляющих сигналов КПДП приведены ниже

 D (7-0) Входы \ Выходы данных для обмена с МП

I / OR Чтение ввода \ вывода-двунаправленный тристабильний вход \ выход; входной сигнал L-уровня позволяет чтения информации с КПДП в МП; выходной сигнал L - уровня позволяет чтения с ОП

I / OW Запись введения \ вывода - двунаправленный тристабильний

вход \ выход; входной сигнал L-уровня позволяет программирования КПДП;

выходной сигнал L-уровня позволяет запись в ОП

CLK Вход тактовых импульсов

RESET Вход установки 0

A (3-0) Двунаправленные тристабильни адресные выводы

CS Выбор микросхемы

A (7-4) Тристабильни адресные выходы

READY Готовность -входной сигнал H-уровня указывает на готовность к обмену

HRQ Запрос увлечение - выходной сигнал Н-уровня указывает

на запрос о доступе КПДП к системным шин

HLDA Подтверждение захоплення- входной сигнал Н-уровня указывает на возможность доступа к системным шин

MEMR Чтение памяти; тристабильний выход; выходной сигнал L - уровня позволяет чтение из ячейки памяти; адресуемых КПДП

MEMW Запись в память - тристабильний выход; выходной сигнал L - уровня позволяет запись в ячейку памяти; адресуемых КПДП

AEN Разрешение адреса - сигнал Н уровня используется для блокировки некоторых шин адреса и данных

ADSTB Строб адреса - сигнал Н уровня указывает на пребывание на шине D (7-0) старшего байта адреса ЗУ

ТС Конец счета - сигнал Н - уровня определяет выполнение последнего цикла передачи блока данных

MARK Маркер - сигнал Н уровня указывает, что к концу переданного блока необходимо выполнить число циклов обмена, кратное 128

DRQ3-DRQ0 Запросы прямого доступа к памяти каналов СН3 - СН0; сигнал Н уровня указывает на запрос от ВУ

DACK3-DACK0 Подтверждение запросов прямого доступа к памяти каналов СН3-СН0; сигнал L- уровня указывает на разрешение обмена

Ucc напряжение питания (+5 в)

GND напруга харчування (0 в)

**Блок схема КПДП**

#### BD

#### CHO

**D(7-0) DRQO**

#### CH2

#### PCU

#### CH3

#### CH1

#### CU

#### RWCU

**DACK0**

**DRQ1**

**I/OR**

**I/OW DACK1**

**CLK**

**RESET**

**A(3-0) DRQ2**

**DACK2**

**CS**

**DRQ3**

**A(7-4) DACK3**

**REA**

**HRQ**

**HLDA**

**MEMR**

**MEMW**

**AEN**

**ADSTB**

**TC**

**MARK**

Программная модель КПДП. программирование КПДП

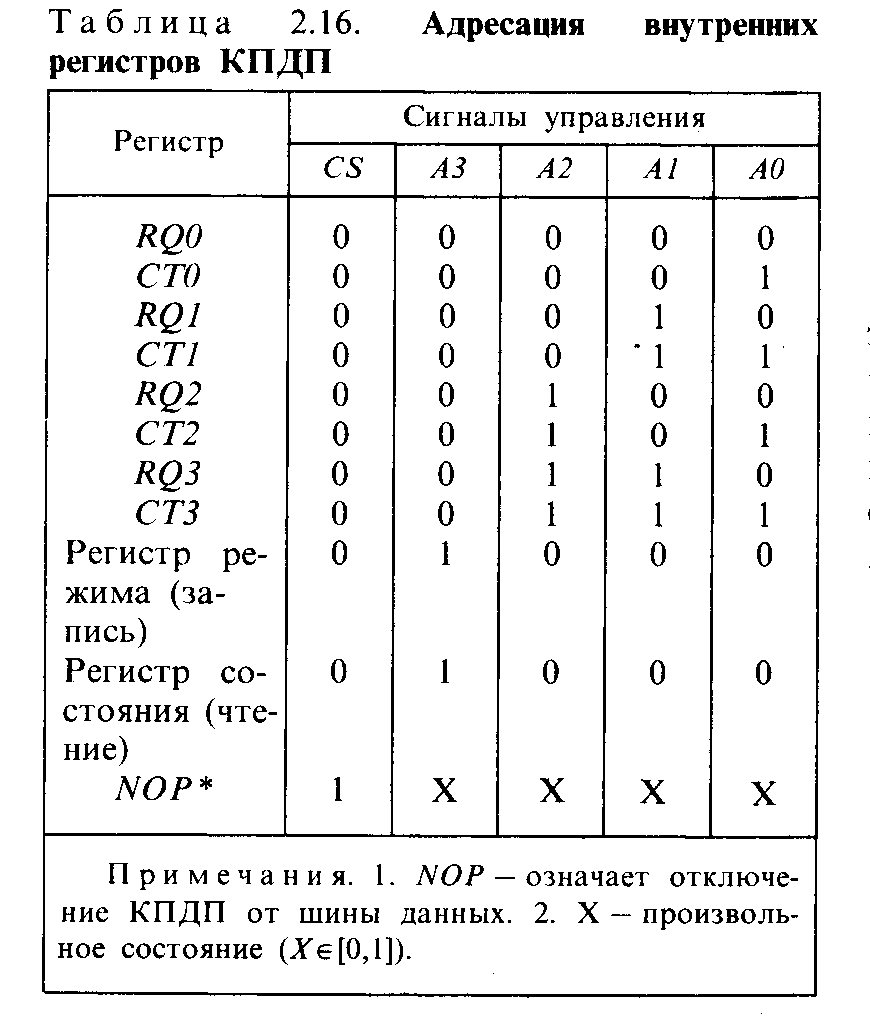
Для начальной установки КПДП необходимо записать соответствующую информацию в 16-разрядный регистр адреса канала (RGA), в 16-разрядный счетчик циклов канала (С Т) и в 8-разрядный регистр режима, общий для всех каналов. Запись этой информации производится с помощью команды OUT, хотя возможен и другой способ обращения к КПДП как к ячейкам памяти. Запись информации в 16-разрядные регистры осуществляется двумя командами, начиная с младшего байта. Два старших разряда счетчика циклов определяют операцию обмена следующим образом: запись в память - 01 чтение из памяти - 10, контроль - 00 (комбинация 11 запрещена). Состояние КПДП можно контролировать чтением содержимого RGA, СТ и 8-разрядного регистра состояния, общего для всех каналов, с помощью команды IN. Для чтения содержимого 16-разрядного регистра используются две команды IN с одной и той же адресной частью, причем сначала происходит считывание младшего байта выводов А (3 - 0) и значение сигнала CS для адресации внутренних регистров КПДП. При программировании КПДП операции записи управляющих слов или чтения состояний внутренних регистров определяются также значениями сигналов I / OR и I / O W.

. В табл. 2.16 приведены коды адресных выводов А (3 - 0) и значение сигнала CS для адресации внутренних

 регистров КПДП. При программировании КПДП операции записи

 управляющих слов или чтения состояний внутренних регистров определяются также значениями сигналов I / OR и I / O W.

Таблица 6.6-адресация внутренних регистров КПДП

****

выводов А (3 - 0) и значение сигнала CS для адресации внутренних регистров КПДП. При программировании КПДП операции записи управляющих слов чтения состояний внутренних регистров определяются также значениями сигналов I / OR и I / O W.

Формат управляющего слова, записывается в регистр режима (Mode Register) -0Bh

Данный регистр задает режимы работы канала контроллера

Разряды команды записанной в регистр команд (Command Register) -08h D3-DO (EN3 - EN (J) задают разрешение обмена по соответствующему каналу, запись нуля в разряд запрещает обмен. Другие разряды определяют режимы работы канала.

Разряд D4 (RP) устанавливает порядок обслуживания запросов от каналов. При RP = 0 задается фиксированный приоритет каналов и канал 0 имеет высший приоритет. В режиме циклического приоритета (RP = 1) после обслуживания канала ему присваивается низкий приоритет, а следующему за ним по номеру канала - выше. Причем циклический сдвиг приоритетов производится после каждого цикла прямого доступа.

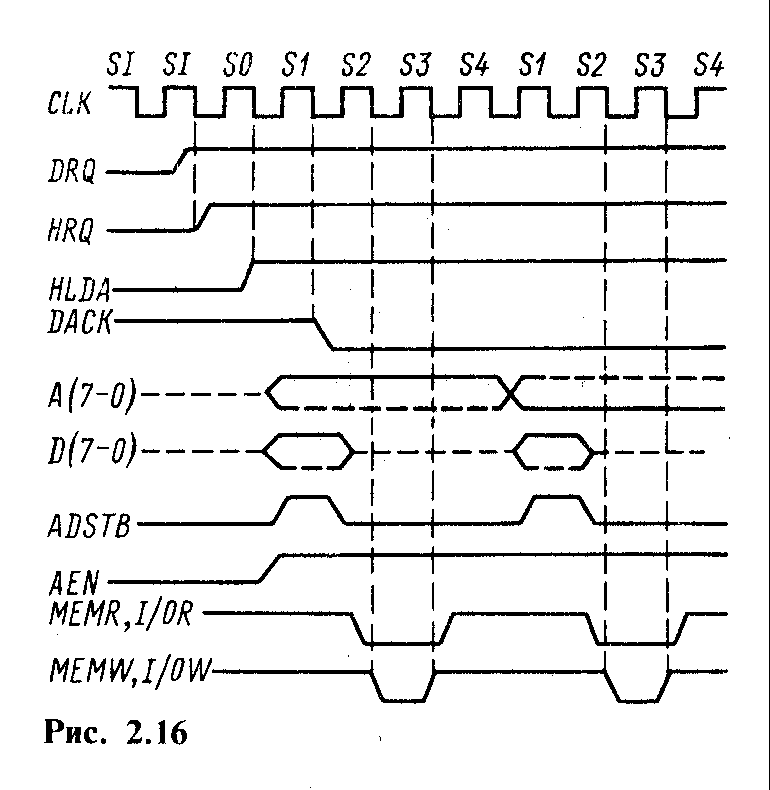
Режим расширенного записи (EW = и) увеличивает за счет смещения переднего фронта длительность сигналов 1 / OW и MEMW, генерируемых КПДП. Это позволяет ВУ, что формирует сигнал READY по фронту сигнала записи, уменьшить время охлаждения и увеличить скорость обмена.

При TCS = 1 появление сигнала ТС в одном из каналов сбрасывает соответствующий разряд D3 - DO, в результате чего канал отключается. Дальнейшая работа этого канала возможна после перезагрузки регистра режима. Если TCS = 0, то появление сигнала ТС не влияет на разряд разрешения работы канала и заканчивать передачу должно ВУ за счет прекращения выработки сигнала DRQ.

В режиме автозагрузки (AL = 1) может работать только второй канал, используя содержимое своих внутренних регистров и внутренних регистров третьего канала. После передачи данных в соответствии с параметрами регистров второго канала и появления сигнала ТС параметры из регистров третьего канала автоматически загружаются в регистры второго канала; флаг восстановления (UF) в регистре состояния каналов (рис. 6,) устанавливается в 1. Затем передача данных продолжается в соответствии с новыми параметрами регистров второго канала, а в конце первого же цикла прямого доступа с новыми параметрами флаг UF сбрасывается. Режим автозагрузки позволяет организовать повторяющиеся пересылки блоков данных с одинаковыми или параметрами соединять несколько блоков с разными параметрами.

В исходном состоянии SI запрограммированный на определенный режим КПДП ожидает запроса DRQ от ВУ. Переходя в состояние SO, он вырабатывает сигнал HRQ и ожидает поступления от МП сигнала HLDA. После поступления сигнала подтверждения HLDA начинается цикл обмена. В состоянии S1 формируется сигнал AEN для блокировки других устройств системы от шин данных и управления, выдается код младших разрядов на выходы А (7 - 0), а код старших разрядов - на выходы D (7 - 0).

Выдача старших разрядов адреса сопровождается стробирующих сигналом ADSTB для записи их во внешний буферный регистр. В состоянии S2 вырабатывается сигнал DACK, что указывает на начало обмена, а также формируются пары сигналов MEMR, I / OR и MEMW, I / OW, определяющие направление обмена. В состоянии S3 происходит передача данных в ЗУ или ВУ.

Состояние S4 завершает цикл прямого доступа. В этом состоянии при передаче последнего байта выдается сигнал ТС, а в случае конца

  блока - сигнал MARK. При необходимости согласования быстродействия ЗУ и ВУ с помощью сигнала READ Y между состояниями S3 и S4 вводится требуемое число состояний ожидания SW. В режиме контроля переход в состояние SW не допускается.

Работу КПДП объясняет диаграмма состояний (рис 6, д) и временные диаграммы основных сигналов (рис. 6).

Рисунок 1. Временные диаграммы работы КПДП

начальном состоянии SI запрограммированный на определенный режим КПДП ожидает запроса DRQ от ИП. Переходя в состояние SO, он вырабатывает сигнал HRQ и ожидает поступления от МП сигнала HLDA. После поступления сигнала подтверждения HLDA начинается цикл обмена. В состоянии S1 формируется сигнал AEN для блокировки других устройств системы от шин данных и управления, выдается код младших разрядов на выходы А (7 - 0), а код старших разрядов - на выходы D (7 - 0).

Выдача старших разрядов адреса сопровождается стробирующих сигналом ADSTB для записи их во внешний буферный регистр. В состоянии S2 вырабатывается сигнал DACK, что указывает на начало обмена, а также формируются пары сигналов MEMR, I / OR и MEMW, I / OW, определяющие направление обмена. В состоянии S3 происходит передача данных в ЗП или ИП. Состояние S4 завершает цикл прямого доступа. В этом состоянии при передаче последнего байта выдается сигнал ТС, а в случае конца блока - сигнал MARK. При необходимости согласования быстродействия ЗП и ПП с помощью сигнала READ Y между состояниями S3 и S4 вводится требуемое число состояний ожидания SW. В режиме контроля переход в состояние SW не допускается.

Фрагмент программы начальной установки КПДП при обращении к нему как к внешнему устройству может иметь следующий вид:

 ";

 ";

 ";

DI; запрет прерываний

MVI A, 28H; загрузки управляющего слова

OUT 0BH; в регистр режима

MVI A, 1АH; загрузки управляющего слова

OUT 08H; в регистр команд

MVI A, 00H; загрузка младшего байта адреса

OUT 00H (0кан.) массива в порт

           02Н (1кан.)

           04Н (2кан.)

           06Н (3кан.)

MVI A, 40H; загрузки старшего байта адреса

OUT 00H (0кан.) массива в порт

MVI A, 01H; загрузка номера страницы памяти

OUT 81H (2кан.) в порт канала

           82H (3кан.)

           83H (1кан.)

           87H (0кан.)

MVI A, F4H; загрузка младшего байта счетчика циклов

OUT 01H (0кан.) в порт канала (244 цикла)

            03Н (1кан.)

            05Н (2кан.)

            07Н (3кан.)

MVI A, 00H; загрузка старшего байта счетчика циклов

OUT 01H; в порт канала

EI; разрешение прерываний

 "

 "

В программе производится настройка канала на запись массива в область ОЗУ. Для передачи N байт в счетчик канала загружается число N- 1. После программной настройки канала СНВ аналогично настраиваются другие каналы. В регистр режима загружается управляющее слово. Для предупреждения ошибок перед программированием КПДП или чтением содержимого его регистров необходимо запрещать прерывания.

Пример последовательности загрузки управляющих слов

     Запретить прерывания.

1.Установка регистра режима -0Вh.

2.Установка регистра команд-08h.

3.Установка младшего байта адреса канала.

4.Установка старшего байта адреса канала.

5.Установка страницы канала-087h.

6.Установка младшего байта счетчика канала.

7.Установка старшего байта счетчика канала.

        Разрешить прерывание.

                                      Задание

1.Використовуючы эмулятор КПДП написать программу передачи или приема данных в памяти соответственно варианта и отладить ее.

2.Оформиты отчет.

3. Схема системы в Proteus 7.10 ».

Таблица

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вар. | Тип  Перед | Реж.  раб. | Реж.  запис | Диаг.  перед | Фикс.  адрес | Авто-  Иниц | Из.т.  Адрес | Реж.  Приор | Фикс.  адрес |
| 1 | Один | зап | задер | норм | запр | разр | увел | Фикс | разр |
| 2 | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 3 | --“-- | чтен |  | --“-- | --“-- | запр | --“-- | --“-- | --“-- |
| 4 | --“-- | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 5 | --“-- | зап | Р.зап | --“-- | --“-- | разр | умен | --“-- | --“-- |
| 6 | блоч | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 7 | --“-- | чтен |  | --“-- | разр | запр | --“-- | --“-- | запр |
| 8 | --“-- | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 9 | --“-- | зап | задер | --“-- | --“-- | разр | увел | цикл | --“-- |
| 10 | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 11 | каска | чтен |  | --“-- | --“-- | запр | --“-- | --“-- | --“-- |
| 12 | --“-- | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 13 | --“-- | зап | Р.зап | --“-- | запр | разр | --“-- | --“-- | разр |
| 14 | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | умен | --“-- | --“-- |
| 15 | --“-- | чтен |  | --“-- | --“-- | запр | --“-- | --“-- | --“-- |
| 16 | По тр | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 17 | --“-- | зап | Задер | сжат | --“-- | разр | --“-- | фикс | --“-- |
| 18 | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 19 | --“-- | чтен |  | --“-- | --“-- | запр | увел | --“-- | --“-- |
| 20 | --“-- | --“-- |  | --“-- | разр | --“-- | --“-- | --“-- | запр |
| 21 | --“-- | зап | Р.зап | --“-- | --“-- | разр | --“-- | --“-- | --“-- |
| 22 | один | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 23 | --“-- | чтен |  | --“-- | --“-- | запр | --“-- | --“-- | --“-- |
| 24 | --“-- | --“-- |  | --“-- | --“-- | --“-- | умен | --“-- | --“-- |
| 25 | --“-- | зап | Задер | --“-- | --“-- | разр | --“-- | --“-- | --“-- |
| 26 | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 27 | --“-- | чтен |  | --“-- | --“-- | запр | --“-- | --“-- | разр |
| 28 | --“-- | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |
| 29 | --“-- | --“-- |  | --“-- | --“-- | --“-- | --“-- | --“-- | --“-- |

СОДЕРЖАНИЕ ОТЧЕТА.

1. Название лабораторной работы.

2. Цель работы и теоретические сведения.

3. Задача по варианта.

4. Листинг программ.

5. Осциллограммы.

Контрольные вопросы.

1. Назначение КПДП.

2. Режимы работы.

Работа с комплексом

      Рассмотрим один из вариантов загрузки программы в комплекс

1. На персональном компьютере запустить программу загрузчик.

2. Выбрать в диалоговом окне нужную программу в соответствии с лабораторной работой и выбранным для этого комплексом.

3. В текстовом редакторе набрать текст программы на языках ассемблера для данной лабораторной работы.

4. Задать необходимые управляющие команды, константы и т.д. в соответствии с заданной программой работы устройства (КР580ВВ55, КР580ВИ53, КР580ВН59, КР580ВВ51, КР580ВТ57) на комплексе, а также на соответствующем эмуляторе.

5. Контроль команд, набираемых и управляющих слов, констант и данных, вводимых или выводимых выполнять по индикации на передней панели комплекса.

6. Проверить работу и режимы запрограммированного устройства.

7. Запись новой программы возможен в любой момент времени после зкиду ранее набранной программы на ПК.

Пример загрузки программы в комплекс

1. На ПК войти в программу работы с комплексом.

2. Войти в подпрограмму соответствующую данной лабораторной работе.

3. Запрограммировать устройство.

